

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-49984

(43)公開日 平成10年(1998)2月20日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 11 B 20/10		7736-5D	G 11 B 20/10	D
G 06 F 3/06	301		G 06 F 3/06	301R 301N

審査請求 未請求 請求項の数6 OL (全13頁)

(21)出願番号	特願平8-205807	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22)出願日	平成8年(1996)8月5日	(71)出願人	000237617 富士通ヴィエルエスアイ株式会社 愛知県春日井市高蔵寺町2丁目1844番2
		(72)発明者	澤田 勝 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエルエスアイ株式会社内
		(74)代理人	弁理士 恩田 博宣

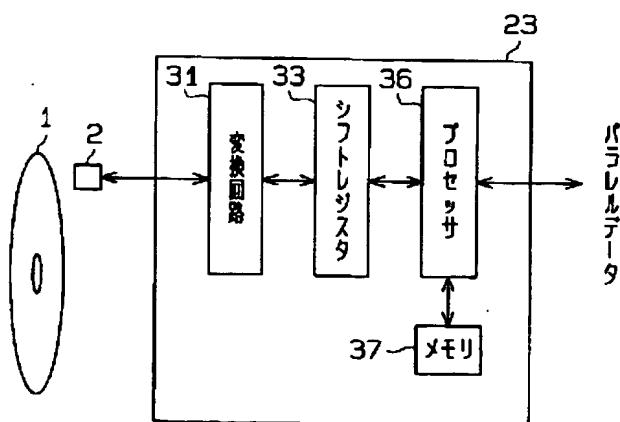
(54)【発明の名称】 信号処理回路、信号処理装置、及び、ディスク装置

(57)【要約】

【課題】小型化することができるとともに、様々な仕様に容易に対応することのできる信号処理回路を提供する。

【解決手段】ディスク1に記録されたデータがヘッド2にて順次読み出されたアナログ信号は、信号処理回路23の変換回路31に入力される。変換回路31は、ヘッド2から入力されたアナログ信号をデジタル信号に変換してシフトレジスタ33に出力し、シフトレジスタ33は、変換回路31から出力されるシリアルのデジタル信号をパラレルに変換し、プロセッサ36に出力する。プロセッサ36は、ディスクに対するアクセスよりも高速に動作し、プログラムメモリ37に記憶されたリード処理プログラムに基づいて、シフトレジスタ33から出力されるパラレルデータに対して所定のリード処理を施して外部へ出力する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 ディスクに記録されたデータを読み出す場合には、ヘッドにて順次読み出したシリアルのアナログ信号をパラレルのデジタル信号に変換して出力し、ディスクにデータを記録する際には、外部から入力されるパラレルのデジタル信号をシリアルのアナログ信号に変換してヘッドに出力するための信号処理回路であって、前記データの読み出し時にはその読み出したデータのアナログ信号をデジタル信号に変換し、前記データの記録時には入力されるデジタル信号をアナログ信号に変換して前記ヘッドに出力する変換回路と、

前記データの読み出し時には前記変換回路から出力されるシリアルのデジタル信号をパラレルに変換し、前記データの記録時には入力されるパラレルのデジタル信号をシリアルに変換して前記変換回路に出力するシフトレジスタと、

前記ディスクに対するアクセスよりも高速に動作し、前記シフトレジスタから出力されるパラレルデータに対して所定のリード処理を施して外部へ出力し、外部から入力されるパラレルデータに対して所定のライト処理をして前記シフトレジスタに出力するプロセッサと、

前記プロセッサに接続され、該プロセッサにて行われるリード処理及びライト処理が記憶されたプログラムメモリとを備えた信号処理回路。

【請求項2】 請求項1に記載の信号処理回路において、

データの読み出し時に前記シフトレジスタから出力されるデジタル信号のうちのシンクバイトを検出し、シンクバイトを検出した場合にその検出信号を出力するシンクバイト検出回路と、

前記シンクバイト検出回路から出力される検出信号を入力し、前記プロセッサに対して割り込みをかける割り込み制御回路と、を備え、

前記プロセッサは、前記割り込み制御回路からの割り込みに基づいて、プログラムメモリに記憶されたリード処理を実行するようにした信号処理回路。

【請求項3】 請求項2に記載の信号処理回路において、

前記割り込み制御回路は、データの記録時に、外部からライトクロック信号が入力され、そのライトクロック信号に同期して前記プロセッサに対して割り込みをかけ、該プロセッサは、前記割り込み制御回路からの割り込みに基づいて、ライト処理したデータを前記シフトレジスタに出力するようにした信号処理回路。

【請求項4】 請求項1乃至請求項3に記載の信号処理回路において、

前記変換回路は、

データの読み出し時に、ヘッドから入力されるアナログ信号をデジタル信号に変換して前記シフトレジスタに出力するリード信号処理回路と、

データの記録時に、前記シフトレジスタから入力されるデジタル信号をアナログ信号に変換してヘッドに出力するライト信号処理回路とから構成された信号処理回路。

【請求項5】 請求項1乃至請求項4に記載の信号処理回路と、

データの読み出し時には前記信号処理回路から出力されるバイト単位のデータに対してセクタ単位で所定の処理を施して外部に出力し、データの記録時には外部から入力されるデータに対してセクタ単位で所定の処理を施してバイト単位で前記信号処理回路に出力するディスク制御回路と、

前記両回路を互いに接続するバスとを1チップに形成した信号処理装置。

【請求項6】 データの記録再生が可能なディスクと、前記ディスクに対してデータの読み出し／書き込みを行うヘッドと、

前記ヘッドに対してアナログ信号の入出力をを行う請求項1乃至請求項4に記載の信号処理回路と、

データの読み出し時には前記信号処理回路から出力されるバイト単位のデータに対してセクタ単位で所定の処理を施して外部に出力し、データの記録時には外部から入力されるデータに対してセクタ単位で所定の処理を施してバイト単位で前記信号処理回路に出力するディスク制御回路と、を備えたディスク装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は信号処理回路、信号処理装置、及び、ディスク装置に係り、詳しくはディスクに対してデータの記録再生を行う際に、そのデータに30 対して処理を施すための信号処理回路、信号処理装置、及び、信号処理回路、信号処理装置を備えたディスク装置に関するものである。

【0002】 近年の磁気ディスク装置においては、記憶容量の大容量化が進められる一方で装置全体の小型化が要求されている。また、装置に対するデータの読み出し／書き込み速度の高速化が要求されている。一方、ディスク装置に対してデータの読み出し／書き込みを行うに当たって、誤り訂正や、符号化等の処理の方式は、使用するユーザ毎に異なる仕様が設定される。そのため、ディスク装置は、小型化等の要求を満たすと同時に、様々な仕様に容易に対応することが要求されている。

【0003】

【従来の技術】 図9は、従来の磁気ディスク装置の概略ブロック図である。ディスク1に記録されたデータは、ヘッド2にて順次読み出され、増幅器3に出力される。増幅器3は、ヘッド2にて読み出されたアナログデータを増幅して、信号処理回路4に出力する。信号処理回路4は、入力されたアナログ信号に対してフィルタリング、復号化等の信号処理を行ってパラレルデータに変換し、ディスク制御回路5に出力する。

【0004】ディスク制御回路5は、磁気ディスク装置を制御するために設けられている。ディスク制御回路5は、入力されたデータを所定のバイト数よりなるセクタ単位に組み立て、その組み立てたセクタ毎に例えばECC(Error Correcting Code)誤り訂正処理等の処理を行った後、所定の通信方式に基づいてデータを変換して図示しないホストコンピュータへ出力する。

【0005】一方、ディスク1にデータを書き込む場合、ホストコンピュータから出力されたデータは、ディスク制御回路5によって、ECCデータ等が付加されて信号処理回路4に出力される。信号処理回路4は、入力されたデータに対して符号化等の処理を行うとともに、データに対してサーボ情報を付加し、それらをシリアルデータに変換したアナログ信号として出力する。そのアナログ信号は、増幅器3によって増幅され、ヘッド2を介してディスク1に書き込まれる。

【0006】信号処理回路4によって付加されたサーボ情報は、ヘッド2のサーボ制御、データの読み出し時に用いられる。即ち、信号処理回路4は、ディスク1に記録されたサーボ情報に基づいて、データの読み出しの同期をとるための基準となるクロック信号を生成するとともに、サーボ情報に基づいてデータの読み出し開始位置を検出する。また、ディスク制御回路5は、信号処理回路4から入力されるデータのうち、サーボ情報に基づいて、ヘッド2の位置を検出する。そして、ディスク制御回路5は、ヘッド2がデータの読み出し又は書き込みの対象となる所望のトラックに対応する位置となるように、位置制御回路6を制御してヘッド2の位置制御を行う。

【0007】図10は、従来の信号処理回路4のブロック回路図である。ヘッド2は、リード用ヘッド2aとライト用ヘッド2bとから構成され、信号処理回路4には、両ヘッド2a, 2bにそれぞれ対応して、リード信号処理回路7とライト信号処理回路18とが設けられている。尚、図10においては、ヘッド2と信号処理回路4との間の増幅器3を省略してある。

【0008】ディスク1に記憶されたデータは、リード用ヘッド2aにて読み取られてアナログ信号に変換され、信号処理回路4のリード信号処理回路7に出力される。リード信号処理回路7は、リード用ヘッド2aにて読み取られたアナログ信号に対して、フィルタリング等の処理を施してノイズを除去した後、所定の方式（例えば、ピーク検出方式）によってアナログ信号を「0」又は「1」のデジタル信号（シリアルデータ）に変換してシリアルペラレル（S/P）変換器8に順次出力する。また、リード信号処理回路7は、例えばPLL回路が内蔵され、入力されるアナログ信号に同期したクロック信号CLKを生成し、出力する。

【0009】S/P変換器8は、リード信号処理回路7から順序入力されるシリアルデータを、所定のビット数

のパラレルデータに変換し、復号器9に出力する。復号器9は、クロック信号CLKに基づいて分周器10にて分周された分周クロック信号に同期動作し、入力されるデータを所定の方式によって復号し、デスクランプ11に出力する。デスクランプ11は、入力されたデータの並べ替えを行う。データの並べ替えは、後述するスクランプ15による並べ替えに対応しており、リード信号処理回路7のPLL回路においてクロック信号CLKを確実に生成するために行われる。ディスク1に記録されたデータが「0」又は「1」が連続して読み出されると、アナログ信号は変化せずに単調な信号になってしまふので、PLLしがかからなくなり、出力されるアナログ信号に同期したクロック信号を生成することができなくなる。そのため、予めディスク1には、「0」、「1」が連続しないようにデータが書き込まれているので、デスクランプ11によってデータの並びを元に戻すわけである。そして、並び替えられたデータは、パラレルインタフェース12を介してディスク制御回路5に出力される。

【0010】また、S/P変換器8から出力されるパラレルデータは、シンクバイト(SB)検出回路13に入力される。SB検出回路13には、予め所定のパターンが記憶され、そのパターンとS/P変換器8から入力された1バイトのデータとを比較する。そして、読み出されたデータがパターンと一致する場合、SB検出回路13は、その読み出したデータがシンクバイトであると判断し、SB検出信号K1をディスク制御回路5に出力する。

【0011】図8に示すように、ディスク1の各セクタは、サーボ領域とデータ領域とから構成されている。サーボ領域には、例えば、トレーニングパターンやプリアンブルパターン等のデータが記録されているとともに、ヘッド2の進行方向において最終端にはシンクバイトSBが記録されている。また、データ領域には、各データとそのデータに対するECCデータ等のデータが記録されている。

【0012】即ち、ヘッド2は、シンクバイトSBについてデータ領域のデータを読み出す。従って、SB検出回路13によってシンクバイトSBが検出された後に、そのシンクバイトSBに続くデータを有効とすることで、必要なデータを読み出すことができる。

【0013】一方、ディスク1にデータを書き込む場合、ディスク制御回路5から入力されたパラレルデータは、パラレルインタフェース12を介して制御コード検出回路14に入力される。制御コード検出回路14は、入力されたパラレルデータと予め設定された制御コード（例えば、FFH）とを比較し、比較結果に応じた検出信号K2を出力する。その検出信号K2に基づいて、入力されたパラレルデータが制御コードの場合、ライト信号処理回路18は、ディスク1にサーボ領域の各情報を

記録する。

【0014】次に、データ領域に書き込まれるデータが入力されると、そのデータは、スクランブル15によってデータの並べ替えが行われ、符号器16に出力される。符号器16は、入力されるデータを所定の方式によって符号化し、パラレルシリアル(P/S)変換器17に出力する。P/S変換器17は、入力されるパラレルデータをシリアルデータに変換してライト信号処理回路18に出力する。

【0015】ライト信号処理回路18は、P/S変換器17から入力されるシリアルデータに対して、所定の変調を行い、アナログ信号に変換して出力し、そのアナログ信号に基づいてライト用ヘッド2によってディスク1にデータが記録される。

【0016】

【発明が解決しようとする課題】ところで、ディスク1に記録されるデータのフォーマットは、ディスク装置を使用するユーザー毎に個別に設定される。例えば、誤り訂正にECCに代えてCRC(Cyclic Redundancy Check)を用いたり、符号化/復号化の方式を変更する、等を行おうとした場合、それらの方式のそれぞれに対応して信号処理回路4を構成しなければならない。その結果、採用する方式にそれぞれ対応したディスク装置を用意しなければならぬので、面倒である。

【0017】一方、ディスク装置を共通化するために、信号処理回路4を全ての方式を取り込んだ構成にして各方式を選択して使用する方法が考えられる。しかしながら、この方法では、全ての方式に対応するために信号処理回路4の回路規模が大きくなってしまい、ディスク装置を小型化することが難しい。

【0018】本発明は上記問題点を解決するためになされたものであって、その目的は小型化することができるとともに、様々な仕様に容易に対応することのできる信号処理回路を提供することにある。また、小型化することができるとともに、様々な仕様に容易に対応することのできる信号処理装置を提供することにある。更に、そのような信号処理回路を備えたディスク装置を提供することにある。

【0019】

【課題を解決するための手段】図1は請求項1に記載の発明の原理説明図である。即ち、ディスク1に記録されたデータがヘッド2にて順次読み出されたアナログ信号は、信号処理回路23の変換回路31に入力される。変換回路31は、ヘッド2から入力されたアナログ信号をデジタル信号に変換してシフトレジスタ33に出力し、シフトレジスタ33は、変換回路31から出力されるシリアルのデジタル信号をパラレルに変換し、プロセッサ36に出力する。プロセッサ36は、ディスクに対するアクセスよりも高速に動作し、プログラムメモリ37に記憶されたリード処理プログラムに基づいて、シフトレ

ジスタ33から出力されるパラレルデータに対して所定のリード処理を施して外部へ出力する。

【0020】また、プロセッサ36は、プログラムメモリ37に記憶されたライト処理プログラムに基づいて、データの記録時に外部から入力されるパラレルデータに対して所定のライト処理を施してシフトレジスタ33に出力する。シフトレジスタ33は、データの記録時にプロセッサ36から入力されるパラレルのデジタル信号をシリアルに変換して変換回路31に出力し、変換回路31は、入力されるデジタル信号をアナログ信号に変換して出力し、そのアナログ信号に基づいてヘッド2によりディスク1にデータが書き込まれる。

【0021】請求項2に記載の発明は、請求項1に記載の信号処理回路において、データの読み出し時に前記シフトレジスタから出力されるデジタル信号のうちのシンクバイトを検出し、シンクバイトを検出した場合にその検出信号を出力するシンクバイト検出回路と、前記シンクバイト検出回路から出力される検出信号を入力し、前記プロセッサに対して割り込みをかける割り込み制御回路と、を備え、前記プロセッサは、前記割り込み制御回路からの割り込みに基づいて、プログラムメモリに記憶されたリード処理を実行するようにしたことを要旨とする。

【0022】請求項3に記載の発明は、請求項2に記載の信号処理回路において、前記割り込み制御回路は、データの記録時に、外部からライトクロック信号が入力され、そのライトクロック信号に同期して前記プロセッサに対して割り込みをかけ、該プロセッサは、前記割り込み制御回路からの割り込みに基づいて、ライト処理したデータを前記シフトレジスタに出力するようにしたことを要旨とする。

【0023】請求項4に記載の発明は、請求項1乃至請求項3に記載の信号処理回路において、前記変換回路は、データの読み出し時に、ヘッドから入力されるアナログ信号をデジタル信号に変換して前記シフトレジスタに出力するリード信号処理回路と、データの記録時に、前記シフトレジスタから入力されるデジタル信号をアナログ信号に変換してヘッドに出力するライト信号処理回路とから構成されたことを要旨とする。

【0024】請求項5に記載の発明は、請求項1乃至請求項4に記載の信号処理回路と、データの読み出し時には前記信号処理回路から出力されるバイト単位のデータに対してセクタ単位で所定の処理を施して外部に出力し、データの記録時には外部から入力されるデータに対してセクタ単位で所定の処理を施してバイト単位で前記信号処理回路に出力するディスク制御回路と、前記両回路を互いに接続するバスとを1チップに形成したことを要旨とする。

【0025】請求項6に記載の発明は、データの記録再生が可能なディスクと、前記ディスクに対してデータの

読み出し／書き込みを行うヘッドと、前記ヘッドに対してアナログ信号の入出力を行う請求項1乃至請求項4に記載の信号処理回路と、データの読み出し時には前記信号処理回路から出力されるバイト単位のデータに対してセクタ単位で所定の処理を施して外部に出力し、データの記録時には外部から入力されるデータに対してセクタ単位で所定の処理を施してバイト単位で前記信号処理回路に出力するディスク制御回路とを備えたことを要旨とする。

【0026】(作用)従って、請求項1に記載の発明によれば、ディスク1に記録されるデータのフォーマットが変更される場合、プログラムメモリ37に記憶されたリード処理プログラムとライト処理プログラムそれぞれ対応して変更することで、フォーマットの変更に容易に対応することができる。また、リード処理とライト処理とを共通のシフトレジスタ33及びプロセッサ36により行うことができるので、小型化することが可能となる。

【0027】また、請求項2に記載の発明によれば、更に、シンクバイト検出回路と割り込み制御回路とが備えられる。シンクバイト検出回路には、ディスクから読み出されたデータが入力され、そのデジタル信号のうちのシンクバイトが検出され、シンクバイトが検出された場合にその検出信号が出力される。割り込み制御回路には、検出信号が入力され、プロセッサに対して割り込みがかけられる。そして、プロセッサは、割り込み制御回路からの割り込みに基づいて、プログラムメモリに記憶されたリード処理が実行されう。

【0028】請求項3に記載の発明によれば、割り込み制御回路には、データの記録時に、外部からライトクロック信号が入力され、そのライトクロック信号に同期してプロセッサに対して割り込みがかけられ、そのプロセッサは、割り込み制御回路からの割り込みに基づいて、ライト処理したデータがシフトレジスタに出力される。

【0029】請求項4に記載の発明によれば、変換回路は、データの読み出し時に、ヘッドから入力されるアナログ信号をデジタル信号に変換して前記シフトレジスタに出力するリード信号処理回路と、データの記録時に、前記シフトレジスタから入力されるデジタル信号をアナログ信号に変換してヘッドに出力するライト信号処理回路とから構成される。

【0030】請求項5に記載の発明によれば、請求項1乃至請求項4に記載の信号処理回路と、データの読み出し時には信号処理回路から出力されるバイト単位のデータに対してセクタ単位で所定の処理を施して外部に出力し、データの記録時には外部から入力されるデータに対してセクタ単位で所定の処理を施してバイト単位で信号処理回路に出力するディスク制御回路と、両回路を互いに接続するバスとが1チップに形成される。

【0031】請求項6に記載の発明によれば、データの

記録再生が可能なディスクに対して、ヘッドにてディスクに対してデータの読み出し／書き込みが行われる。そのヘッドに対して信号処理回路にてアナログ信号の入出力が行われる。そして、ディスク制御回路は、データの読み出し時には信号処理回路から出力されるバイト単位のデータに対してセクタ単位で所定の処理が施されて外部に出力され、データの記録時には外部から入力されるデータに対してセクタ単位で所定の処理が施されてバイト単位で信号処理回路に出力される。

10 【0032】

【発明の実施の形態】以下、本発明を具体化した一実施の形態を図2～図8に従って説明する。尚、説明の便宜上、従来と同様の構成については同一の符号を付してその説明を一部省略する。

【0033】図2に示すように、磁気ディスク装置21には、ディスク1が設けられている。そのディスク1に記録されたデータは、ヘッド2にて読み出され、増幅器3に出力される。増幅器3は、ヘッド2にて読み出されたアナログデータを増幅して、読み出し書き込み回路部22に出力する。読み出し書き込み回路部22は、ヘッド2から順次入力されたアナログ信号をパラレルのデジタル信号に変換し、その変換したデジタル信号を図示しないホストコンピュータに出力する。

【0034】一方、ディスク1にデータを記録する際には、読み出し書き込み回路部22には、ホストコンピュータからパラレルのデジタル信号が入力される。読み出し書き込み回路部22は、入力されたデジタル信号をシリアルのアナログ信号に変換し、その変換されたアナログ信号は、ヘッド2を介して順次ディスク1に書き込まれる。

【0035】読み出し書き込み回路部22には、信号処理回路23、ディスク制御回路(HDC)24、及び、位置制御回路25が設けられている。読み出し書き込み回路部22は、例えば1ボードよりなり、それぞれ1チップに構成された各回路23～25がそのボード上に実装されている。そして、各回路23～25は、ボード上に設けられたバス26を介して互いに接続されている。

【0036】信号処理回路23には、増幅器3により増幅されたアナログ信号が入力される。また、信号処理回路23には、ディスク制御回路24から制御信号がバス26を介して入力される。その制御信号は信号処理回路23の動作モードを指定するためのものであって、その動作モードは、ディスク1に記録されたデータを読み出すリードモードと、ディスク1にデータを記録するライトモードとからなる。

【0037】信号処理回路23は、リードモード時に、入力されたアナログ信号に対して、フィルタリング、復号化等の信号処理を行って所定のビット数よりなるバイト単位のパラレルデータに変換し、バイト単位でバス26を介してディスク制御回路24に出力する。ディスク

制御回路24は、入力されたパラレルデータを所定のバイト数よりなるセクタ単位に組み立て、その組み立てたセクタ毎に例えばECC(Error Correcting Code)誤り訂正処理等の処理を行った後、所定の通信方式に基づいてデータを変換して図示しないホストコンピュータへ出力する。

【0038】逆に、ディスク1にデータを記録する場合、ディスク制御回路24には、外部のホストコンピュータからデータが入力される。ディスク制御回路24は、入力されるデータをセクタ単位でECCデータ等々を付加する処理を行った後、バイト単位で信号処理回路23に出力する。信号処理回路23は、入力されたバイト単位のデータに対して符号化等の処理を行うとともに、データに対してサーボ情報を付加し、それらをシリアルデータに変換したアナログ信号として出力する。そのアナログ信号は、増幅器3によって増幅され、ヘッド2を介してディスク1に書き込まれる。

【0039】信号処理回路23によって付加されたサーボ情報は、ヘッド2のサーボ制御、データの読み出し時に用いられる。即ち、信号処理回路23は、ディスク1に記録されたサーボ情報に基づいて、データの読み出しの同期をとるための基準となるクロック信号を生成するとともに、サーボ情報に基づいてデータの読み出し開始位置を検出する。

【0040】また、ディスク制御回路24は、バス26を介して信号処理回路23から入力されるデータのうち、サーボ情報に基づいて、ヘッド2の位置を検出する。そして、ディスク制御回路24は、ヘッド2がデータの読み出し又は書き込みの対象となる所望のトラックに対応する位置となるように、バス26を介して制御データを位置制御回路25に出力し、位置制御回路25は、入力される制御データに基づいて、図示しないモータ等のアクチュエータを駆動制御してヘッド2の位置制御を行う。

【0041】図3に示すように、信号処理回路23には、ディスク制御回路24からバス26を介して制御信号としてリードゲート信号RG及びライトゲート信号WGが入力される。また、信号処理回路23には、ディスク制御回路24からライトクロック信号WCLKが入力される。尚、図3においては、ヘッド2と信号処理回路23との間の増幅器3を省略してある。

【0042】リードゲート信号RG及びライトゲート信号WGは、信号処理回路23の動作モードを設定するために利用され、その動作モードはリードモードとライトモードとがある。信号処理回路23は、リードゲート信号RGが入力されるとリードモードとなり、ディスク1からリード用ヘッド2aにて読み出されたシリアルのアナログ信号をパラレルのデジタル信号に変換して出力するリード動作を行う。また、信号処理回路23は、ライトゲート信号WGが入力されるとライトモードとなり、

ディスク制御回路24から入力されるパラレルのデジタル信号をシリアルのアナログ信号に変換して出力するライト動作を行い、そのライト動作によって出力されるアナログ信号は、ライト用ヘッド2bにてディスク1に書き込まれる。

【0043】先ず、リードモードの動作を説明する。ディスク1に記録されているデータは、リード用ヘッド2aにて読み出され、信号処理回路23の変換回路31に入力される。変換回路31は、リード信号処理回路31aとライト信号処理回路31bとから構成されている。リード信号処理回路31aは、データの読み出し時に利用され、ライト信号処理回路31bは、データの記録時に利用される。

【0044】リード信号処理回路31aは、リード用ヘッド2aにて読み取られたアナログ信号に対して、フィルタリングや波形整形等の処理を施し、その処理後のアナログ信号を判定器32に出力する。また、リード信号処理回路31aにはPLL回路が内蔵され、入力されるアナログ信号に同期したクロック信号CLKを生成し、出力する。

【0045】判定器32は、リード信号処理回路31aから出力されるアナログ信号を所定の方式（例えば、ピーク検出方式）によって「0」又は「1」のシリアルのデジタル信号（シリアルデータ）に変換してシフトレジスタ33に順次出力する。

【0046】シフトレジスタ33には、判定器32によって変換されたデジタル信号が入力される。また、シフトレジスタ33には、リード信号処理回路31aによって生成されたクロック信号CLKが入力される。シフトレジスタ33は、クロック信号CLKに同期動作し、判定器32から順序入力されるシリアルのデジタル信号を、1バイトを構成する所定のビット数のパラレルデータに変換し、シンクバイト検出回路（以下、SB検出回路という）34及び高速プロセッサユニット（以下、単にプロセッサという）35に出力する。

【0047】SB検出回路34には、予め所定のパターンが記憶され、そのパターンとシフトレジスタ33から入力された1バイトのデータとを比較する。そして、読み出されたデータが予め設定されたパターンと一致する場合、SB検出回路34は、その読み出されたデータがシンクバイトであると判断し、SB検出信号K1を割り込み制御回路35に出力する。

【0048】割り込み制御回路35には、SB検出信号K1が入力される。また、割り込み制御回路35には、ディスク制御回路24から制御信号としてリードゲート信号RG、ライトゲート信号WGと、ライトクロックWCLKが入力される。リードゲート信号RGとライトゲート信号WGは、それぞれデータのリード動作とライト動作とに対応している。

【0049】割り込み制御回路35は、リードゲート信

号RGに基づいてリードモードに設定されると、プロセッサ36にリード動作の割り込みアドレスをセットする。プロセッサ35には、プログラムメモリ（以下、単にメモリという）37が接続され、そのメモリ37には、図4に示すように、ステップ（以下、単にSという）1～S8のリード動作を行うためのリードプログラムが予め記憶されており、S2～S8は割り込みプログラムであって、セットされる割り込みアドレスはS2のプログラムのアドレスに設定されている。

【0050】プロセッサ36は、ディスク1に対するアクセス、即ち、リード用ヘッド2aによりディスク1から読み出されるデータのタイミングよりも高速で動作する。プロセッサ36には、リードゲート信号RGが入力され、そのリードゲート信号RGに基づいて、リードモードに設定されると、先ずS1のリード処理の準備を行う。

【0051】そして、割り込み制御回路35は、SB検出信号K1が入力されると、プロセッサ36に割り込み信号を送出し、プロセッサ36は、その割り込み信号に応答して、図4に示すS2～S8までのリードプログラムを順次実行し、入力されるデータのリード動作を行う。

【0052】即ち、S2において、プロセッサ36は、シフトレジスタ33から入力されるパラレルデータの復号処理を開始する。そして、S3において、プロセッサ36は、バイト転送クロックの有無を判断する。バイト転送クロックは、プロセッサ36に接続された分周器38によって、リード信号処理回路31aにおいて生成されたクロック信号CLKを所定の分周比で分周した分周クロック信号である。その分周器38の分周比は、シフトレジスタ33により構成される1バイトのビット数に対応している。即ち、シフトレジスタ33には、クロック信号CLKに同期してシリアルのデジタルデータが順次入力され、複数ビットよりなる1バイト分のパラレルデータが出力される。

【0053】例えば、1バイトを8ビットとした場合、シフトレジスタ33に8ビット分のシリアルのデジタルデータが入力される毎に、そのシフトレジスタ33から1バイトのデジタルデータが出力される。従って、プロセッサ36は、クロック信号CLKを8分周した分周クロック信号に同期して1バイトのデジタルデータを入力する。

【0054】即ち、S3において、プロセッサ36には、バイト転送クロックとしての分周クロック信号が入力されると、S4に移る。そして、S4において、プロセッサ36は、シフトレジスタ33からのパラレルデータを入力する。

【0055】次に、S5は復号処理（復号手段）であって、プロセッサ36は、入力されたパラレルデータに対して、所定の方式に従って復号処理を行い、S6に移

る。S6はデスクランブル処理（デスクランブル手段）であって、プロセッサ36は、S5において復号したデータに対して、デスクランブル処理を施し、入力されたデータの並べ替えを行う。データの並べ替えは、後述するスクランブル処理による並べ替えに対応しており、リード信号処理回路31aのPLL回路においてクロック信号CLKを確実に生成するために行われる。ディスク1に記録されたデータが「0」又は「1」が連続して読み出されると、アナログ信号は変化せずに単調な信号になってしまうので、PLLがかかるなくなり、出力されるアナログ信号に同期したクロック信号CLKを生成することができなくなる。そのため、予めディスク1には、「0」、「1」があまり連続しないようにデータが書き込まれているので、デスクランブル処理によってデータの並びを元に戻すわけである。そして、S6における処理を終了すると、プロセッサ36は、S7に移る。

【0056】S7は、データ出力処理（データ出力手段）であって、プロセッサ36は、S8において並び替えたパラレルデータをパラレルポート36bを介して外部、即ち、バス26上に出力する。バス26上に出力されたデータは、順次ディスク制御回路24に入力される。従って、S4のデータの入力からS7のデータの出力までの処理によって、1バイト分のパラレルデータがディスク制御回路24に出力される。

【0057】そして、ディスク制御回路24は、入力したパラレルデータを所定のバイト数よりなるセクタ単位に組み立て、その組み立てたセクタ毎に例えばECC(Error Correcting Code)誤り訂正処理等の処理を行った後、所定の通信方式に基づいてデータを変換して図示しないホストコンピュータへ出力する。

【0058】次に、S8において、プロセッサ36は、リードモードか否かを判断する。この判断は、ディスク制御回路24から入力されるリードゲート信号RGに基づいて行われる。即ち、リードゲート信号RGに基づいてリードモードに設定されている間、プロセッサ36は、入力されるパラレルデータの1バイト毎にS5及びS6における処理を行い、順次ディスク制御回路24に出力する。

【0059】即ち、図5に示すように、プロセッサ36は、シンクバイトSBが検出されたSB検出信号K1に基づいてプログラムを実行してリード動作を行い、バイト転送クロックである分周クロック信号に同期して入力される1バイトのデータを順次処理して出力する。そして、プロセッサ36は、ディスク1に対するアクセス、即ち、リード用ヘッド2aによりディスク1から読み出されるデータのタイミングよりも高速で動作する。従って、プロセッサ36のS4～S7までの処理は、次のバイト転送クロックである分周クロック信号が入力されるまでに終了する。

【0060】一方、S8において、リードゲート信号R

Gに基づいてリードモードが解除されると、プロセッサ36は、リード動作を終了する。次に、ライトモードの動作を説明する。

【0061】ディスク1にデータを書き込む場合、ディスク制御回路24は、ライトゲート信号WGを信号処理回路23に出力する。信号処理回路23のプロセッサ36は、ライトモード信号WGに基づいてライトモードに設定されると、書き込みの準備を行う。

【0062】また、信号処理回路23の割り込み制御回路35は、ライトゲート信号WGに基づいてライトモードに設定されると、プロセッサ36にライト動作の割り込みアドレスをセットする。メモリ37には、図6に示すように、S11～S20までのライト動作を行うためのライトプログラムが予め記憶されており、セットされる割り込みアドレスは、S11のプログラムのアドレスに設定されている。

【0063】また、割り込み制御回路35には、ライトクロック信号WCLKが入力され、図7に示すように、割り込み制御回路35は、そのライトクロック信号CLKに同期した割り込み信号WINTを生成し、プロセッサ36に出力する。プロセッサ36は、割り込み制御回路35から割り込み信号WINTが入力される毎に割り込み動作を行い、S11～S20までの割り込みプログラムを実行する。その割り込みプログラムにおいて、プロセッサ36は、ディスク制御回路24からパラレルインターフェース36bを介して入力されるデータが、図8に示すシンク領域に書き込むためのデータかデータ領域に書き込むためのデータかを判断し、その判断結果に応じてシフトレジスタ33にデータを出力する。

【0064】即ち、S11において、プロセッサ36は、ディスク制御回路24からバス26上に出力されたディスク1に書き込むパラレルデータを読み込む。そして、S12において、プロセッサ36は、その読み込んだデータが「FFH」であるか否かを判断する。

【0065】図7に示すように、ディスク1にデータを書き込む場合に、ディスク制御回路は、ライトクロック信号WCLKに同期してデータを出力する。そのデータは、先ず所定個数のデータ「00H」が出力され、次に所定個数（図7において3個）のデータ「FFH」が出力され、その次にデータDATAが順次出力される。

【0066】データ「00H」は、ディスク1に記録されるフォーマットのシンク領域のプリアンブルパターンに対応し、データ「FFH」は、シンク領域のトレーニングパターンに対応している。従って、信号処理回路23は、データ「00H」が入力されている間、ディスク1にプリアンブルパターンを記録し、データ「FFH」が入力されている間、ディスク1にトレーニングパターンを記録する。そして、データ「FFH」が終了すると、信号処理回路23は、トレーニングパターンの最後にシンクバイトSBを記録した後、データDATAをディ

スク1に順次記録する。

【0067】従って、プロセッサ36は、S11及びS12において、データ「FFH」が入力されるまでループする。そして、この間、ライト信号処理回路31bは、ライト用ヘッド2bに対して、周期的なアナログ信号を出力し、ディスク1に周期的なプリアンブルパターンを記録する。

【0068】データ「FFH」が入力されると、プロセッサ36は、S12からS13に移り、トレーニングパターンをシフトレジスタ33に送出する。シフトレジスタ33は、入力されるトレーニングパターンのパラレルデータをシリアルデータに変換してライト信号処理回路31bに出力する。ライト信号処理回路31bは、入力されるシリアルデータを順次アナログ信号に変換してライト用ヘッド2bに出力し、そのアナログ信号に基づいて、ディスク1にはトレーニングパターンが記録される。

【0069】次に、プロセッサ36は、S14において、次のデータを入力し、S15において、入力したデータが「FFH」か否かを判断する。そして、入力したデータが「FFH」の場合、プロセッサ36は、S13に戻ってトレーニングパターンを送出する。

【0070】S14において入力されたデータがS15において「FFH」ではないと判断した場合、プロセッサ36は、S15からS16に移る。S16はスクランブル処理（スクランブル手段）であって、プロセッサ36は、所定の方式に従って、入力されたデータがシリアルデータに変換された際に、各ビットの「0」「1」が連続しないように並び替えを行い、S17に移る。

【0071】S17は符号化処理（符号化手段）であって、プロセッサ36は、S16において並び替えを行ったデータを、所定の方式で符号化する。そして、S18において、プロセッサ36は、符号化した1バイトのデータをシフトレジスタ33に出力する。

【0072】シフトレジスタ33は、入力される1バイトのデータをシリアルデータに変換してライト信号処理回路31bに出力する。ライト信号処理回路31bは、入力されるシリアルデータを順次アナログ信号に変換してライト用ヘッド2bに出力し、そのアナログ信号に基づいて、ディスク1には、データが順次記録される。

【0073】プロセッサは、S18においてデータをシフトレジスタ33に出力すると、S18からS19に移り、そのS19において、次のデータを入力する。次のデータを入力すると、プロセッサ36は、S20においてライトモードか否かを判断する。この判断は、ディスク制御回路24から入力されるライトゲート信号WGに基づいて行われる。即ち、ライトゲート信号WGに基づいてライトモードに設定されている間、プロセッサ36は、入力されるパラレルデータの1バイト毎にS16及びS17における処理を行い、順次シフトレジスタ33

に出力する。

【0074】即ち、図7に示すように、プロセッサ36は、データ「FFH」を検出するまでの間、ディスク1にプリアンブルパターンを記録する。そして、データ「FFH」を検出すると、プロセッサ36は、ディスク1にトレーニングパターンを記録する。そして、書き込むべきデータDATAを入力すると、プロセッサ36は、入力したデータを順次処理してシフトレジスタ33に出力する。そして、プロセッサ36は、ディスク1に対するアクセス、即ち、ライト用ヘッド2bによりディスク1にデータを書き込むデータのタイミングよりも高速で動作する。従って、プロセッサ36のS16～S20までの処理は、次のデータDATAが入力されるまでに終了する。一方、S20において、ライトゲート信号WGに基づいてライトモードが解除されると、プロセッサ36は、シフトレジスタ33に対するデータの出力を停止し、ライト動作を終了する。

【0075】ところで、ユーザーによってディスク1に記録されるデータのフォーマットが変更される、例えば、符号化／復号化の方式を変更する、等が行われる。この場合、メモリ37に記憶されたリードプログラムのS5における復号処理とライトプログラムのS17における符号化処理、リードプログラムのS6におけるデスクランブル処理とライトプログラムのS16におけるスクランブル処理をそれぞれ対応して変更することで、フォーマットの変更に容易に対応できる。

【0076】また、複数のフォーマットにそれぞれ対応したプログラムをメモリ37に予め記憶させる。そして、割り込み制御回路35によってプロセッサ36に設定される割り込みアドレスを必要に応じて変更することで、フォーマットの変更に容易に対応できる。

【0077】以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) 高速なプロセッサ36を用いて信号処理回路23を構成し、プロセッサ36に記憶されたプログラムに従って、リードモード時にはシンクバイトSBを検出した後、入力したデータに対して復号処理及びデスクランブル処理を施し、バス26を介してディスク制御回路24に出力する。また、ライトモード時には入力されるデータに対してスクランブル処理及び符号化処理を施し、ディスク1に記録するようにした。

【0078】その結果、ユーザーによってディスク1に記録されるデータのフォーマットが変更される、例えば、符号化／復号化の方式を変更する、等が行われる場合、メモリ37に記憶されたリードプログラムのS5における復号処理とライトプログラムのS17における符号化処理、リードプログラムのS6におけるデスクランブル処理とライトプログラムのS16におけるスクランブル処理をそれぞれ対応して変更することで、フォーマットの変更に容易に対応することができる。

【0079】(2) 高速なプロセッサ36を用いてデータに対する処理を行うことで、従来の復号器9、デスクランブル11、スクランブル15、及び、符号器16を1つのプロセッサ36に置き換えることができる。また、従来のS/P変換器8とP/S変換器17を1つのシリアルレジスタ33に置き換えることができる。その結果、信号処理回路23の規模を、従来の信号処理回路3に比べて小さくすることができるので、ディスク装置を小型化することが可能となる。

10 【0080】尚、本発明は前記実施の形態の他、以下の態様で実施してもよい。

(1) 上記実施の形態では、信号処理回路23、ディスク制御回路24をそれぞれ1チップにて構成したが、両回路23、24を同一チップ上に形成した構成として実施してもよい。

【0081】(2) 上記実施の形態では、信号処理回路23の判定器32は、ピーク検出方式によってアナログ信号をデジタル信号に変換するようになつたが、R PML方式等の他の方式を用いてアナログ信号をデジタル信号に変換して出力するようにしてもよい。

20 【0082】(3) 上記実施の形態では、割り込み制御回路35、プロセッサ36、及び、メモリ37をそれぞれ別々の構成としたが、割り込み制御回路35とプロセッサ36、プロセッサとメモリ37、割り込み制御回路35とプロセッサ36とメモリ37をそれぞれ1つにした構成として実施してもよい。

【0083】(4) 上記実施の形態において、信号処理回路23とディスク制御回路24との間にバッファメモリを設けて、両回路23、24間で転送されるパラレルデータをバッファリングするようにして実施してもよい。

【0084】

【発明の効果】以上詳述したように、請求項1～請求項4に記載の発明によれば、小型化することが可能で、様々な仕様に容易に対応することが可能な信号処理回路を提供することができる。

【0085】また、請求項5に記載の発明によれば、小型化することが可能で、様々な仕様に容易に対応することが可能な信号処理装置を提供することができる。また、請求項6に記載の発明によれば、小型化することが可能で、様々な仕様に容易に対応することが可能なディスク装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明の原理説明図である。

【図2】 一実施の形態のディスク装置の概略ブロック図である。

【図3】 一実施の形態の信号処理回路のブロック回路図である。

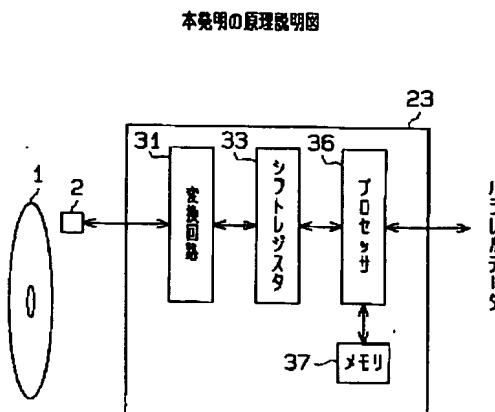
【図4】 リード動作のフローチャートである。

50 【図5】 リード動作のタイミングチャートである。

- 【図6】 ライト動作のフローチャートである。
- 【図7】 ライト動作のタイミングチャートである。
- 【図8】 リード動作を示す概念図である。
- 【図9】 従来のディスク装置の概略ブロック図である。
- 【図10】 従来の信号処理回路の概略ブロック図である。
- 【符号の説明】

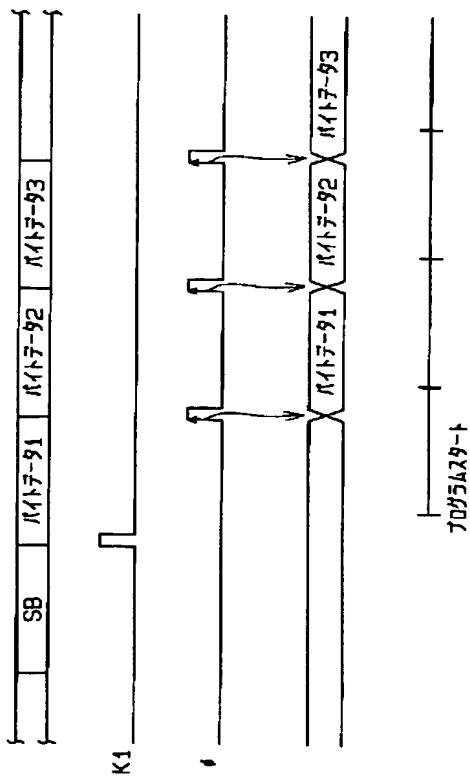
- 1 ディスク
- 2 ヘッド
- 23 信号処理回路
- 31 変換回路
- 33 シフトレジスタ
- 36 プロセッサ
- 37 プログラムメモリ

【図1】



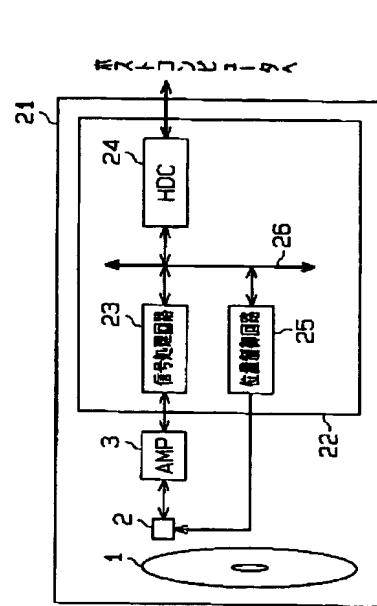
【図5】

リード動作のタイミングチャート



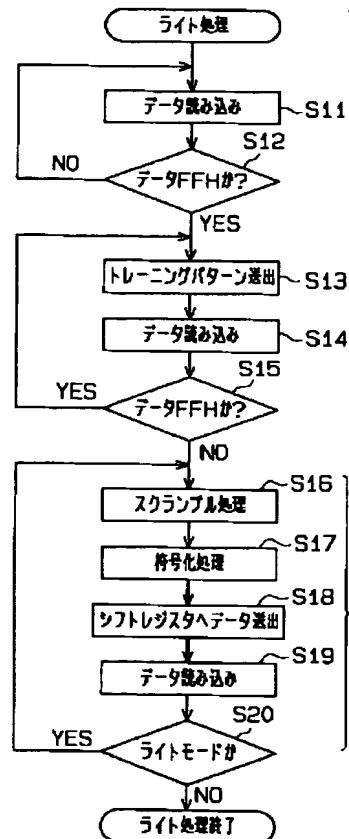
【図2】

一実施の形態のディスク装置の概略ブロック図

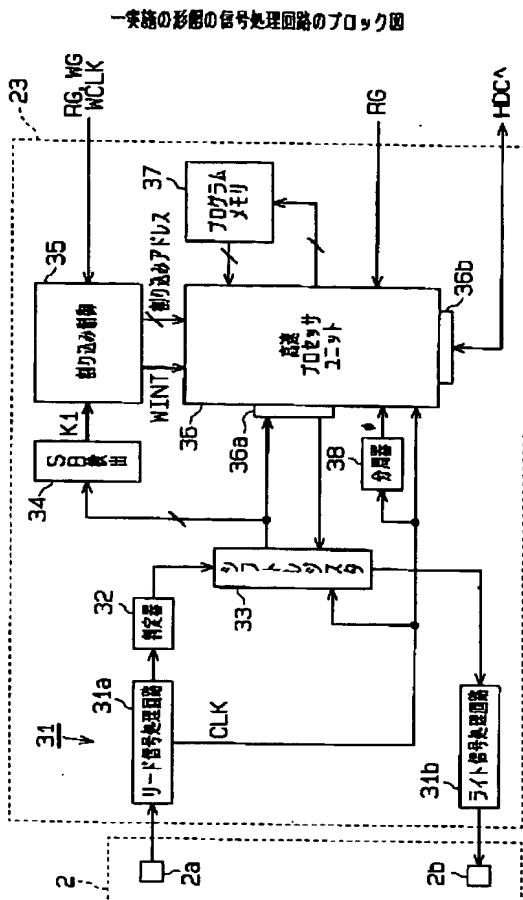


【図6】

ライト動作のフローチャート

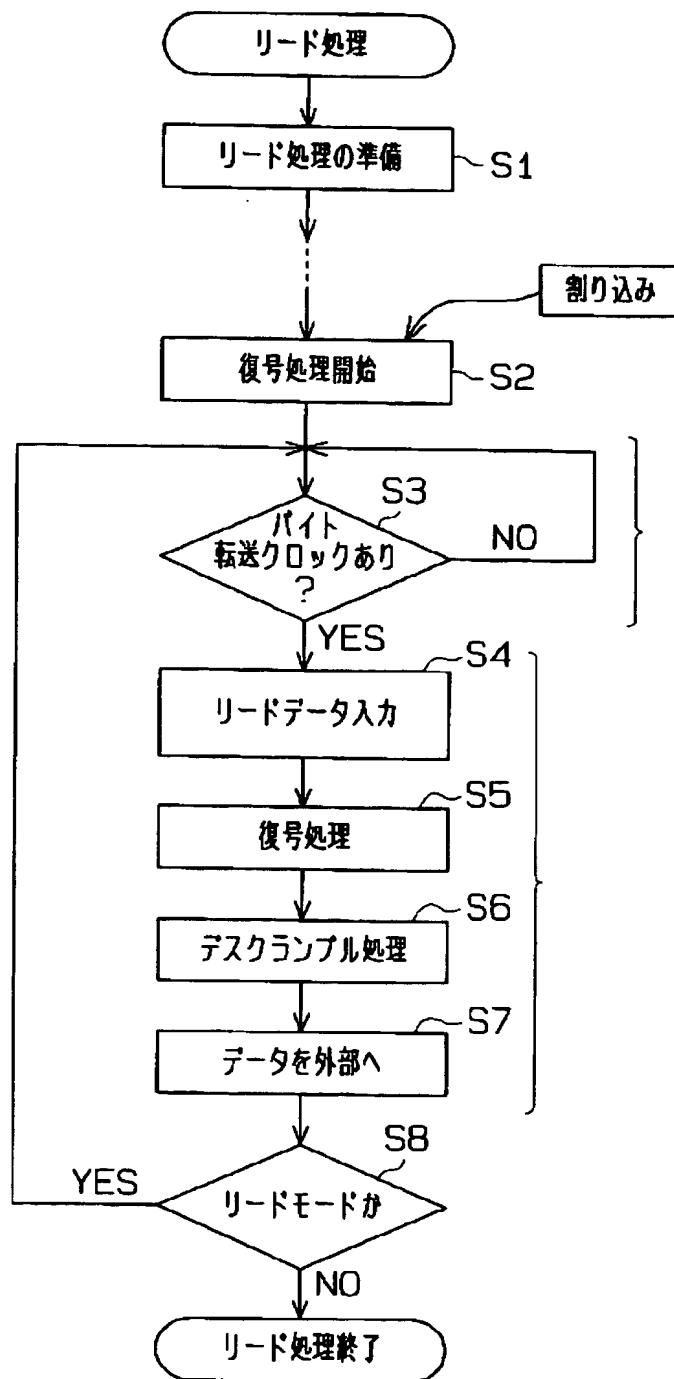


【図3】



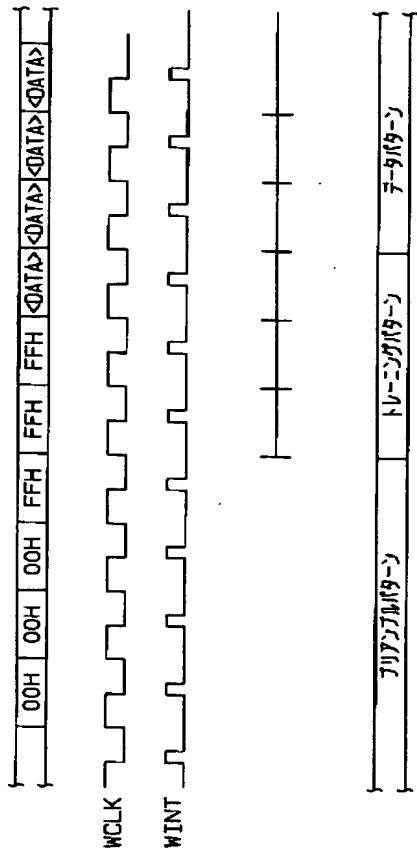
【図4】

リード動作のフローチャート



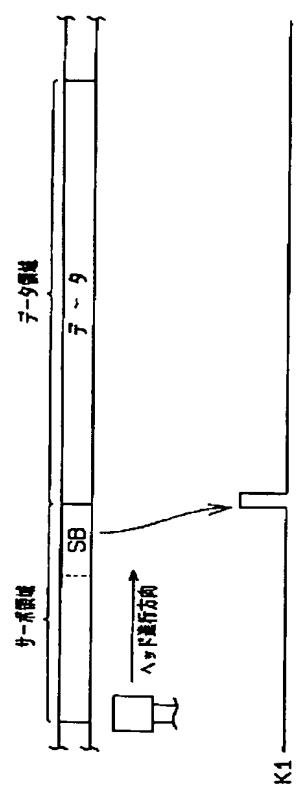
【図7】

ライト動作のタイミングチャート



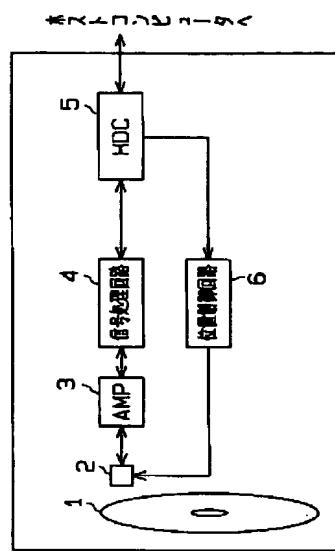
[図 8]

リード動作を示す概念図



[图9]

従来のディスク装置の概略ブロック図



【図10】

新規の信号処理回路の概略ブロック図

